

LIQUID CRYSTAL DISPLAY ELEMENT

Patent Number: JP6148684
Publication date: 1994-05-27
Inventor(s): MIKOSHIBA KEIMEI
Applicant(s): NEC CORP
Requested Patent: ☐ JP6148684
Application Number: JP19920303434 19921113
Priority Number(s):
IPC Classification: G02F1/136; H01L29/784
EC Classification:
Equivalents: JP2950061B2

Abstract

PURPOSE: To reduce coupling capacity and to prevent gradations from being lowered even when enlarging numerical aperture by connecting another transparent electrode, which is provided through a capacity insulation film under a transparent electrode for liquid crystal drive, to a light shield metal film.

CONSTITUTION: A gate electrode (gate line) 3 of silicide or the like is formed on a multiple crystal Si 2 to be the body of a thin film transistor (TFT) and a drain line 4 is connected. On the other hand, a transparent electrode 6 is formed on a light shield film 5 formed on the TFT, and a transparent electrode 7 connected to a source 9 of the TFT is formed on a capacity insulation film 8 on that electrode 6. The transparent electrode 7 is the electrode for liquid crystal drive, storage capacity is formed through the capacity insulation film 8 at a gap between the transparent electrode 7 and the transparent electrode 6, and the transparent electrode 6 is connected to the light shield film (black matrix) 5 at a fixed potential. Then, the storage capacity is formed between this light shield film 5 and the source of the TFT. Thus, the large storage capacity can be provided without victimizing the numerical aperture, no storage capacity wiring is required, and the load of the gate line is lightened.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-148684

(43) 公開日 平成6年(1994)5月27日

| | | | | |
|----------------------------|-------|----------|---------------|---------|
| (51) Int. Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 2 F 1/136 | 5 0 0 | 9018-2 K | | |
| H 0 1 L 29/784 | | 9056-4 M | H 0 1 L 29/78 | 3 1 1 A |

審査請求 未請求 請求項の数 4

(全5頁)

(21) 出願番号 特願平4-303434

(22) 出願日 平成4年(1992)11月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 御子柴 啓明

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

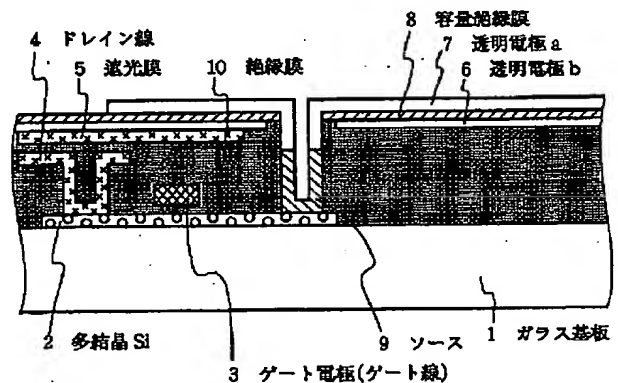
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【目的】 T F T型液晶表示素子において、開口率を犠牲にすることなくピクセル面積を減少させ、高精細な表示を可能にすることを目的とする。

【構成】 液晶駆動用の透明電極 a 7 の下方に、容量絶縁膜 8 を介して透明電極 b 6 があり、透明電極 b は遮光膜 5 に接続されている。

【効果】 開口率を減少させることなく、十分な蓄積容量を実現できる。



【特許請求の範囲】

【請求項 1】 薄膜トランジスタを用いたアクティブマトリックス型液晶表示素子において、前記薄膜トランジスタのソース（ドレイン）に接続された第 1 の透明電極の下方に容量絶縁膜を介して第 2 の透明電極が設けられ、前記第 2 の透明電極は遮光金属膜に接続されていることを特徴とする液晶表示素子。

【請求項 2】 前記容量絶縁膜はタンタル酸化膜であることを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】 前記容量絶縁膜はタンタル酸化膜とシリコン窒化膜の多層膜であることを特徴とする請求項 1 記載の液晶表示素子。

【請求項 4】 前記薄膜トランジスタのドレイン（ソース）に接続される電極が、前記薄膜トランジスタの活性領域を被っていることを特徴とする請求項 1 記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（TFT）を用いたアクティブマトリックス型液晶表示素子に関する。

【0002】

【従来の技術】 図 5 は、TFT を用いたアクティブマトリックス型液晶表示素子の画素の等価回路である。ゲート線 13 とドレイン線 14 の交点に薄膜トランジスタ（TFT）19 が接続され、TFT のソース電極は液晶 20 及び蓄積容量 21 に接続される。図 6 は図 5 に示した画素の構造例の断面図である。ガラス基板 1 上に多結晶 Si 12、絶縁膜 11、ゲート電極 13 を設け、ゲートの両側にドレイン電極 14 とソース電極 15 を設けて TFT を形成している。さらに TFT に隣接して透明電極 b 16、容量絶縁膜 18、透明電極 a 17 を設けて蓄積容量 21 を形成している。蓄積容量のゲート線に接続される電極に透明電極 b 16 を用い、他方の電極を液晶駆動用電極すなわち透明電極 a 17 と共用することにより、高い開口率を確保できる。すなわち、蓄積容量 21 を設けるために、光の透過を妨げることがない。

【0003】 従来技術の他の例を図 7 に示す。a-Si 24 を用いた逆スタガー型構造として知られているもので、最近の製品で用いられている。この場合は、蓄積容量をゲート線に接続せず、独立した蓄積容量線 22 に接続されている。蓄積容量線 22 は抵抗を下げる必要から、光を透過しないクロム等の金属配線が用いられている。

【0004】 TFT を用いた液晶表示素子では、水平走査が一順する間（フレーム周波数が 60 Hz ならば 16.7 ms の間）、液晶に信号電荷を蓄積しておく必要がある。しかし、TFT のリーク電流が大きく、液晶の容量は 0.2 pF 程度と小さいため、電荷を完全に保持しきれない。そのため液晶と並列に接続される蓄積容量

が必要となる。この蓄積容量の追加は、画面のチラツキを防ぐためにも有用である。

【0005】

【発明が解決しようとする課題】 図 5 および図 6 に示した従来技術は、蓄積容量 21 がゲート線 13 に接続される。ゲート線は、TFT のスレッシュホールド電圧が 2~3 V と高いことと、液晶に信号電圧を十分に与えるために、20 V 程度まで駆動する必要がある。蓄積容量を 0.4 pF、水平画素数を 1257（HDTV 対応）とすると、総容量は 500 pF となる。垂直画素数を 1035、走査周波数を 60 Hz とすると、ゲート線は 16 μ S 内に立ち上らなければならない。いまゲートパルスを 1 μ S とすると、駆動電流は 10 mA 以上、ゲート線の抵抗は 2 K Ω 以下でなければならない。ゲート線幅を 4 μ m、長さを 4 cm とすると、2 K Ω 以下を得るためには配線の総抵抗は 0.2 Ω /□ よりも低くなければならない。

【0006】 周辺回路を外付け IC ではなく、多結晶シリコン TFT を用いた内蔵回路で実現しようすると、10 mA 以上の駆動電流を得るためには数 100 μ m 幅のトランジスタが必要になる。さらに、ゲート電極に 0.2 Ω /□ 以下の Al 等の金属配線を用いなければならないため、プロセスが複雑になるという問題がある。

【0007】 図 7 に示す従来構造では、容量はすべてドレイン線につながる。ゲート線の容量は TFT のゲート容量のみであり、トータルで 2.5 pF 程度であるから、駆動電流は 50 μ A 以上、配線の層抵抗は 40 Ω /□ 以下でよい。従って、TFT 特性及び配線材料の制約はほとんどなくなる。

【0008】 一方、ドレイン線の信号振幅は、液晶を駆動するのに必要な 5 V 程度であるから、ゲート振幅の 1/4 ですむ。従って、駆動 TFT の寸法も小さくてよい。又、ドレイン線も 0.8 Ω /□ 以下の配線でよいから選択の幅が広がる。しかし、蓄積容量線 22 に抵抗の低い金属配線を用いなければならない。この配線は画素の中を通るため、この部分が不透明になり、画素の開口率を悪化させる。HDTV 対応の画素寸法は 30 \times 30 μ m² 程度であるから、蓄積容量線があると開口率を 10% 以上悪化させることになり大問題である。

【0009】

【課題を解決するための手段】 本発明の液晶表示素子は、液晶駆動用の第 1 の透明電極の下方に容量絶縁膜を介して第 2 の透明電極が設けられ、第 2 の透明電極は遮光金属膜に接続されている。

【0010】

【作用】 本発明の液晶表示素子は、第 2 の透明電極が遮光金属膜に接続される。遮光金属膜は固定電位になっているので、蓄積容量はドレイン線のみにかかり、ゲート線には付加されない。

【0011】

【実施例】次に本発明について図面を参照して説明する。図 1 は本発明の第 1 の実施例の画素部断面図である。TFT のボディーとなる多結晶 Si 2 上にシリサイド又は高融点金属のゲート電極 3 が形成され、アルミニウム又は高融点金属のドレイン線 4 が接続される。TFT 上にアルミニウムの遮光膜 5 が形成され、遮光膜上に透明電極 b 6 が形成されている。透明電極 b 上にシリコン窒化膜あるいはタンタル酸化膜あるいはシリコン窒化膜とタンタル酸化膜の多層膜よりなる容量絶縁膜 8 が設けられ、その上に透明電極 a 7 が形成される。透明電極 a は TFT のソース 9 に接続されている。

【0012】透明電極 a は液晶駆動用電極であり、容量絶縁膜を介して透明電極 b との間に蓄積容量が形成される。容量絶縁膜に 100 nm 厚のシリコン窒化膜を用い、 $30 \times 30 \mu\text{m}^2$ の画素で透明電極 a が $24 \times 24 \mu\text{m}^2$ 、開口率 64% の場合には、蓄積容量として 0.4 pF が得られる。透明電極 b はブラックマトリックスと呼ばれるアルミニウム遮光膜 5 に接続される。遮光膜の電位は通常グランドレベルに固定されている。

【0013】本発明の構造は、透明電極 b 6 と遮光膜 5 が直接接触するため、接続するためのコンタクト孔の開口は不要である。さらに、従来例のように蓄積容量線を必要としないため、製造プロセスが簡単になるばかりでなく、開口率を悪化させることがない。

【0014】蓄積容量は、固定電位の遮光膜（ブラックマトリックス）と TFT のソースの間に形成される。従って、ゲート線の負荷容量は軽くなり、層抵抗が数 Ω/\square のシリサイド配線が使えるため、ゲート線形成後に平坦化のための高温リフロープロセスが使える等の利点がある。

【0015】図 2 は、本発明の第 2 の実施例の断面図で、蓄積容量の部分を示している。遮光膜 5 は透明電極 b 6 の上に形成することも可能である。このように遮光膜と透明電極の形成順序を入れ替えることができるためプロセスの自由度が増す。

【0016】図 3 は、本発明の画素の平面図である。TFT 以外の部分は光透過領域となるため、高開口率が確保できる。 $30 \times 30 \mu\text{m}^2$ の画素でも、容易に 50% 以上の開口率が得られる。

【0017】図 4 に本発明の第 3 の実施例を示す。基本的構成は図 1 のものと同じであるが、この場合には、ドレイン線 4 が TFT の活性領域、すなわちゲート電極 3 を含む領域を被っている。これにより、TFT は遮光膜 5 とドレイン線 4 により 2 重に光源から遮蔽される。光の反射率の高い Al を用いた場合、完全な遮光性を得るためには単層の場合 0.5 μm 以上の厚みが必要である。このとき、Al の段差により、液晶面の平坦性が損なわれる。この厚みは遮光を 2 重にすることにより、0.25 μm 以下にすることが可能であり、平坦化に有利となる。

【0018】HDTV では 50 階調以上が必要となる。画素寸法が小さくなり、ドレイン線と画素電極（透明電極 I）が接近するとカップリング容量が大きくなり、ドレイン線の信号によって画素電極電位が変調を受け、階調が得られなくなる。例えば、画素電極電位の変動を 30 mV 以下に抑えようとする、蓄積容量が 0.2 pF の場合、カップリング容量は 0.6 fF 以下でなければならない。本発明の構造は、ドレイン線と画素電極が遮光膜および容量電極によってシールドされるため、カップリング容量を極めて小さくできる。従って、画素電極を広げ開口率を大きくしても階調が低下することはない。

【0019】

【発明の効果】以上説明したように本発明は、画素電極の下に蓄積容量電極を設け、蓄積容量電極と遮光膜（ブラックマトリックス）を接続する構造を用いているので、以下に示す効果を有する。（a）開口率を犠牲にすることなく、大きな蓄積容量を得ることができる。

（b）蓄積容量はブラックマトリックスに接続されるため、蓄積容量配線が不要になる。（c）蓄積容量はゲート線につながらないため、ゲート線の負荷が軽くなり、シリサイド等のゲート配線が使える。（d）透明電極を TFT より上層部に形成できるため、TFT 形成に高温プロセスが使える、高信頼性で高性能な特性が得られる。

（e）ブラックマトリックス形成後の素子表面の平坦性に優れる。（f）ドレイン線と画素電極は遮光膜でシールドされるため、カップリング容量が小さく、高階調が実現できる。（g）透明電極をデバイスの上層部に形成するため、TFT 作製に高温プロセスが使える、高性能と高信頼性が得られる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の素子断面図である。

【図 2】本発明の第 2 の実施例の素子断面図である。

【図 3】本発明の画素平面図である。

【図 4】本発明の第 3 の実施例の素子断面図である。

【図 5】従来技術の画素等価回路である。

【図 6】従来技術の素子断面図である。

【図 7】従来技術の他の例の素子断面図である。

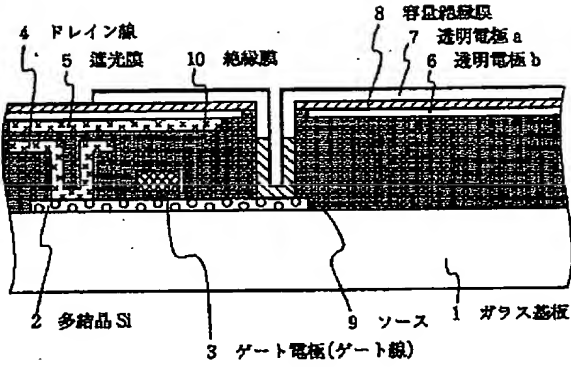
【符号の説明】

- | | |
|--------|-------------|
| 1 | ガラス基板 |
| 2, 12 | 多結晶 Si |
| 3, 13 | ゲート電極（ゲート線） |
| 4, 14 | ドレイン線 |
| 5 | 遮光膜 |
| 6, 16 | 透明電極 b |
| 7, 17 | 透明電極 a |
| 8, 18 | 容量絶縁膜 |
| 10, 23 | 絶縁膜 |
| 19 | TFT |
| 20 | 液晶 |

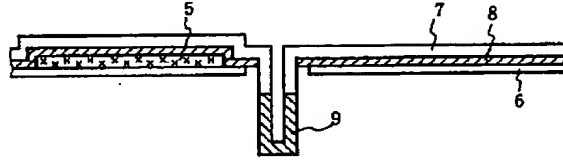
- 2 1 蓄積容量
2 2 蓄積容量線

2 4 a-Si

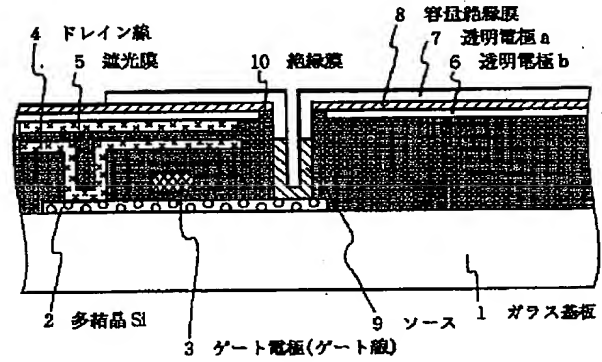
【図1】



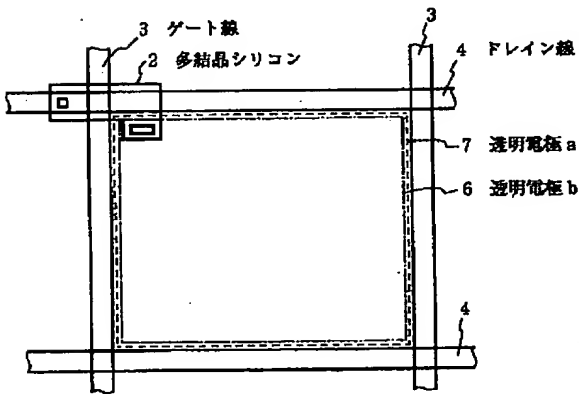
【図2】



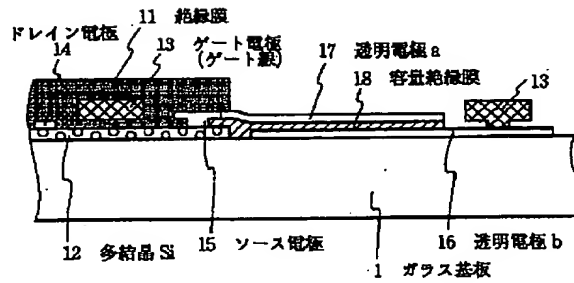
【図4】



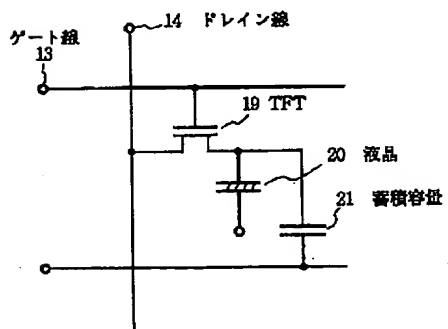
【図3】



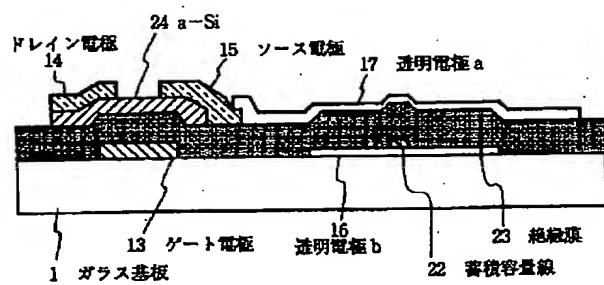
【図6】



【図5】



【図 7】



THIS PAGE BLANK (USPTO)